

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-115151

(43) 公開日 平成7年(1995)5月2日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

23/00

C

H 0 5 K 1/02

D

H 0 1 L 23/ 12

F

審査請求 未請求 請求項の数6 F D (全 7 頁)

(21) 出願番号

特願平5-280617

(22) 出願日

平成5年(1993)10月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 平野 尚彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 土井 一英

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

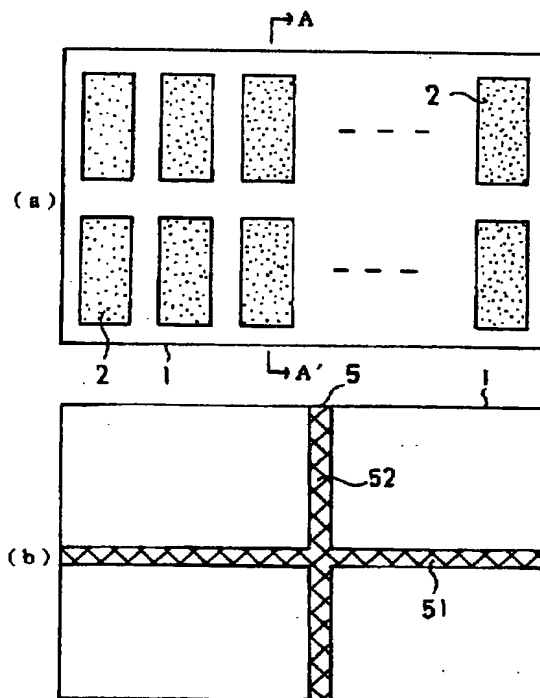
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 配線基板が変形しても配線基板に接続される突起電極などの接続電極を備えた複数の半導体素子や接続電極の破損を防ぎ長期の信頼性を向上させた半導体装置を提供する。

【構成】 複数の半導体素子2を搭載する長方形の配線基板1裏面に溝5などの緩衝領域をその長径及び短径方向の中心部分に形成する。半導体素子は、この緩衝領域を跨がないように取付ける。半導体素子は、突起電極などの接続電極22を備え、これが、配線基板表面の配線パターン(図示せず)に接続されて半導体素子を配線基板に取付ける。配線基板に設けた緩衝領域が変形することにより取付けられた半導体素子付近の変形を吸収して半導体素子などを保護する。



【特許請求の範囲】

【請求項 1】 配線基板と、

接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電氣的に接続された複数の半導体素子とを備え、

前記配線基板には緩衝領域が形成されていることを特徴とする半導体装置。

【請求項 2】 前記緩衝領域は、変形を受け易い領域に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記緩衝領域は、前記配線基板の前記半導体素子間の非素子領域に形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記配線基板は、長方形であり、前記緩衝領域には、前記配線基板中央部分に長辺と平行に、向い合う短辺まで延在する 1 本の溝及びこの配線基板中央部分に短辺と平行に、向い合う長辺まで延在する少なくとも 1 本の溝が形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 前記半導体素子は前記配線基板の表面及び裏面の両面に取付けることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 複数の絶縁性の裏面基板を互いに離隔して同一平面に配置する工程と、

少なくとも 1 枚はその表面に配線層を備え、最上層には前記配線層が配置されるように、前記裏面基板より面積の大きい複数の絶縁基板をこの裏面基板上に積層する工程と、

前記積層された絶縁基板と裏面基板とを加熱圧着して表面に配線層が形成された配線基板を形成すると共に、前記配線基板裏面に形成された前記互いに離隔された裏面基板間によって構成される溝を緩衝領域とする工程と、前記絶縁基板上の配線層及び前記配線基板表面の配線層を互いに電氣的に接続する工程と、

接続電極を備えた複数の半導体素子を、この接続電極を前記配線基板に取付けることによって、前記配線基板上の配線層に電氣的に接続する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、とくに、外力や衝撃による予測不可能な変形を緩和することができ、突起電極などの接続電極を有する複数の半導体素子を実装した配線基板の構造に関するものである。

【0002】

【従来の技術】半導体装置は、IC、LSI などの集積回路が半導体基板に形成された複数の半導体素子と、この半導体素子を実装した配線基板から構成されている。このような半導体素子は、半導体基板を塵埃、薬品、ガス、湿気などの悪影響を及ぼす污染源や機械的な破壊か

ら保護するために合成樹脂やセラミックなどを材料とするパッケージを用いてパッケージングを行う。そして、半導体素子を配線基板に実装するために、従来は半導体素子にリードフレームなどを整形して取付けたリードを配線基板の配線層の回路パターンに接続している。近年、半導体装置の用途は多様化し、さらに、高密度実装化が進んでおり、メモ리카ードのように 1 mm 以下の薄い配線基板を用い、しかもそのカードへのメモリ素子の実装数も増加する傾向にある。

【0003】図 10 及び図 11 に、従来のメモ리카ードのような、カードタイプの半導体装置を示す。半導体素子 2 は、集積回路が形成された半導体基板を樹脂パッケージで封止して成り、樹脂パッケージから内部の集積回路と電氣的に接続しているリード 21 を備えている。半導体素子 2 は、配線基板 10 に実装されている。半導体素子 2 のリード 21 は、配線基板 10 表面に形成された配線層の回路パターン（図示せず）の上に載置し、半田付け等によって配線層とリード 21 とを接続する。この半導体素子 2 が実装された配線基板 10 に、矢印に示す方向に外力や衝撃が加わると、この部分に変形が生じ、半導体素子 2 と配線基板 10 との接続部分にも応力が働く。この変形は、配線基板が薄くなるほど大きくなるが、このように、半導体素子 2 と配線基板 10 との間に長いリード 21 が介在すると、このリード 21 が変形することによってその応力を吸収して接続部分の信頼性を保持している。しかし、メモ리카ードのようなカードタイプの半導体装置は、今後益々配線基板の厚さが低減し、実装密度が向上していく。

【0004】実装密度の向上に対応するためには、従来の、リードが半導体素子の外に大きくはみ出すタイプでは、実装密度を大きくすることには限界がある。そのために、図 12 及び図 13 に示す突起電極を有する半導体素子を配線基板に実装することが提案されている。半導体素子 2 は、その表面に内部の集積回路に電氣的に接続された複数の突起電極 22 を備えている。複数の半導体素子 2 が配線基板 10 に実装されている。半導体素子 2 上の複数の半田などからなる突起電極 22 は、配線基板 10 表面に形成された配線層の回路パターン（図示せず）の上に載置し、加圧、加熱して前記配線層と突起電極 22 とを接続する。半田突起電極 22 は、高さ約 100 μm 以下であり、この突起電極には、いわゆるバンブ電極や高さに比較して比較的広い面積の接続電極を用いる。この半導体素子 2 が実装された配線基板 10 に、矢印に示す方向に外力や衝撃が加わるとこの部分に変形が生じ、半導体素子 2 と配線基板 10 との接続部分にも応力が働く。この変形は、配線基板が薄くなるほど大きくなるが、その応力によって半導体素子 2 が破損 30 されたり、突起電極 22 が配線基板 10 から剥離 40 する。

【0005】

【発明が解決しようとする課題】前述のように、図 12

及び図 13 に示す半導体装置の構造は、その高密度実装化や薄型化には有力な手法であるが、例えば、図に示すような方向に外力が加わると、図 10 及び図 11 のようなパッケージリードが持っている配線基板の変形を吸収する部位がなく、半導体基板に破損 30 が生じたり、半導体素子の半導体基板からの剥がれや切断などの接触不良 40 を生ずる。とくに、カードタイプの半導体装置は、薄型化が進み、薄くなればなるほど変形し易くなる。さらに、メモリカードなどのようにそれ自体を携帯する製品では、予測できない外力や衝撃が加わるので長期信頼性の低下が避けられない。本発明は、このような事情によってなされたものであり、外力や衝撃などによる変形を緩和し、半導体素子や突起電極の破損を防ぎ、長期信頼性を向上させた半導体装置、メモリカード及び半導体装置の製造方法を提供することを目的にしている。

【0006】

【課題を解決するための手段】本発明は、突起電極を有する複数の半導体素子が実装される配線基板に、外力や衝撃による変形を吸収する緩衝領域を設けたことを特徴としている。即ち、本発明の半導体装置は、配線基板と、接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電気的に接続された複数の半導体素子とを備え、前記配線基板には緩衝領域が形成されていることを特徴としている。前記緩衝領域は、変形を受け易い領域に形成しても良い。前記緩衝領域は、前記配線基板の前記半導体素子間の非素子領域に形成しても良い。前記配線基板は長方形であり、前記緩衝領域には、前記配線基板中央部分に長辺と平行に、向い合う短辺まで延在する 1 本の溝及びこの配線基板中央部分に短辺と平行に、向い合う長辺まで延在する少なくとも 1 本の溝が形成されているようにしても良い。

【0007】前記半導体素子は、前記配線基板の表面及び裏面の両面に取付けてもよい。また、本発明の半導体装置の製造方法は、複数の絶縁性の裏面基板を互いに離隔して同一平面に配置する工程と、少なくとも 1 枚はその表面に配線層を備え、最上層には前記配線層が配置されるように、前記裏面基板より面積の大きい複数の絶縁基板をこの裏面基板上に積層する工程と、前記積層された絶縁基板と裏面基板とを加熱圧着して表面に配線層が形成された配線基板を形成すると共に、前記配線基板裏面に形成された前記互いに離隔された裏面基板間によって構成される溝を緩衝領域とする工程と、前記絶縁基板上の配線層及び前記配線基板表面の配線層を互いに電気的に接続する工程と、接続電極を備えた複数の半導体素子を、この接続電極を前記配線基板に取り付けることによって、前記配線基板上の配線層に電気的に接続する工程とを備えていることを特徴としている。

【0008】

【作用】配線基板に設けた緩衝領域が外力などによって変形することにより、半導体素子が実装されている付近

の変形を吸収して配線基板の半導体素子やその突起電極部を保護する。

【0009】

【実施例】以下、図面を参照して本発明の実施例を説明する。まず、図 1 及び図 2 を参照して第 1 の実施例のカードタイプの半導体装置を説明する。図 1 は、半導体素子を搭載した配線基板の表面及び裏面を示した平面図であり、図 2 は、図 1 の A-A' 線に沿う断面図である。配線基板に取付けられている端子群は省略している。半導体素子 2 は、半導体基板内部の集積回路と電気的に接続している突起電極などの接続電極 22 を複数個備えている。そして、この半導体素子 2 は、配線基板 1 の表面に実装されている（図 1 (a)）。配線基板 1 は、例えば、長方形であり、例えば、約 1 mm の厚さがある。半導体素子 2 の半田の突起電極などからなる接続電極 22 は、その配線基板 1 の表面に形成されている配線層の回路パターン（図示せず）の上に載置し、突起電極を溶融することによって配線層と接続する。また、配線基板 1 の裏面には、溝 5 が形成されている（図 1 (b)）。

【0010】溝 5 の深さは、配線基板 1 の厚さの $1/10 \sim 1/5$ 程度が適当であり、この実施例では、例えば、0.1 mm 程度（配線基板の厚さの約 $1/10$ ）ある。配線基板 1 の中央には、その向い合う長辺にほぼ平行な溝 51 がこの長辺に隣接する短辺にまで形成されている。同じ様に配線基板 1 の中央には、その向い合う短辺にほぼ平行な溝 52 がこの短辺に隣接する長辺にまで形成されており、この部分の基板厚は、他の部分の基板厚より薄くなっている。この溝 5 が形成されている裏面及びその真下の表面の領域が緩衝領域として構成されている。この実施例では、この半導体装置はメモリカードに用いられるので、図に示される半導体素子は、半導体メモリからなる。この緩衝領域は、半導体素子が形成されている素子搭載領域及びその裏面には形成されず、半導体素子が形成されていない非素子搭載領域に形成される必要がある。したがって、緩衝領域は、搭載されている半導体素子と半導体素子との間に形成される。素子搭載領域にこの緩衝領域が形成されると、緩衝領域で配線基板が変形した際に、この緩衝領域に存在する半導体素子は、当然応力を受け、その結果破損するか、配線基板から剥離してしまうからである。また、この緩衝領域は、配線基板の外力や衝撃によって変形し易い部分に形成する必要がある。この部分は、主として長辺や短辺にほぼ平行であり、とくに、各向い合う辺間の中央付近が含まれる。

【0011】緩衝領域は、その周辺に半導体素子が存在しないようになるべく広い面積の非素子領域に形成する事が有利である。これら半導体素子 2 が実装された配線基板 1 に、矢印に示す方向に外力や衝撃が加わるとこの部分に変形が生じ、半導体素子 2 と配線基板 1 との接続部分にも応力が働く（図 2 (b)）。この変形は、配線

基板1が薄くなるほど大きくなるが、このように、配線基板1の長辺方向と短辺方向の中央部分に緩衝領域である溝が形成されると、この溝部分が変形することによってその応力が吸収され、配線基板1と半導体素子2との接続部分の接続信頼性を保持する。半導体素子2上の複数の半田などからなる突起電極22は、配線基板1表面に形成された配線層の回路パターン（図示せず）の上に載置され加圧加熱される。そして前記配線層と突起電極22とが接続される。半田突起電極22は、高さ約100 μ m以下であり、この突起電極には、いわゆるバンプ電極や高さに比べて比較的広い面積の接続電極を用いる。配線基板1に形成される緩衝領域である溝5の内、配線基板1の短辺に平行な溝52は、この実施例のように中央部に形成された1本のみに限る必要はなく、半導体素子2間に2本形成以上形成することもできる。

【0012】次に、図3及び図4を参照して第2の実施例を説明する。図3は、配線基板表面を示す平面図、図4は、この平面図のA-A'線に沿う断面図である。配線基板に取付けられている端子群は省略している。半導体素子2は、前実施例と同様に配線基板1の表面に実装されている（図3）。配線基板1は、例えば、長方形であり、例えば、約1mmの厚さがある。半導体素子2の半田の突起電極などからなる接続電極22は、その配線基板1の表面に形成されている配線層の回路パターン

（図示せず）の上に載置され、半田付け等によって前記配線層と接続されている。この実施例では、前実施例とは異なり、配線基板1の半導体素子2が搭載されている表面に溝5が形成されている。溝5の深さは、配線基板1の厚さの1/10～1/5程度が適当である。そして、配線基板1の中央には、その向い合う長辺にほぼ平行な溝51がこの長辺に隣接する短辺にまで形成されている。同じ様に配線基板1の中央には、その向い合う短辺にほぼ平行な溝52がこの短辺に隣接する長辺にまで形成されている。この溝5が形成されている裏面及びその真下の表面の領域が緩衝領域として構成されている。

【0013】この配線基板1の中には多層配線層4が形成されており、この多層配線層4は前述の配線基板1表面の配線層（図示せず）の回路パターンに電氣的に接続されて実装された半導体素子間を電氣的に接続している。多層配線層4は、この実施例に示すように、緩衝領域内にも存在することができ、この実施例では、溝5の底面に一部露出している。この多層配線層4は、例えば、ポリイミドフィルムと銅配線層を多層に積層したフレキシブルな配線にすることができる。内部の配線層がフレキシブルであるので、緩衝領域が変形しても配線層が切断などの破損をすることが少なくなる。

【0014】次に、図5及び図6を参照して第3の実施例を説明する。図5は、配線基板表面を示す平面図、図6は、この平面図のA-A'線に沿う断面図である。配線基板に取付けられている端子群は省略している。半導

体素子2は、前実施例と同様に、例えば、長方形の配線基板1の表面に実装されている（図5、図6）。半導体素子2の半田の突起電極などからなる接続電極22は、その配線基板1の表面に形成されている配線層の回路パターン（図示せず）の上に載置され、半田付け等によって前記配線層と接続されている。この実施例では、今までの実施例とは異なり、配線基板1の半導体素子2が搭載されている表面に複数のスリット6が形成されている。スリット6は、前記第1及び第2の実施例の溝が形成されている位置と同じ位置に形成される。内部に多層配線などの配線層が形成されている場合は、その内部配線領域を外してスリットを形成する必要がある。

【0015】配線基板1の中央には、その向い合う長辺にほぼ平行に複数のスリット61がこの長辺に隣接する短辺の近くまで形成されている。同じ様に配線基板1の中央には、その向い合う短辺にほぼ平行にスリット62がこの短辺に隣接する長辺の近くまで形成されている。このスリット6（61、62）が形成されている領域が緩衝領域として構成されている。スリットの数が多すぎると、機械的強度が低下するので、配線基板の強度を考慮しながら形成する必要がある。スリットの位置及び数は、この実施例のように限定する必要はない。この実施例に用いたスリットに代えて作用効果に格別差異が認められない貫通孔を用いることもできる。スリットに比べて開口面積が小さいので、半導体素子間において配線層が形成されていない領域の面積が小さくても貫通孔は形成できるので、緩衝領域の形成位置に自由度が増す。

【0016】次に、図7及び図8を参照して第4の実施例を説明する。図7は、配線基板表面を示す平面図、図8は、この平面図のA-A'線に沿う断面図である。図では配線基板に取付けられている端子群は省略している。この実施例の特徴は、半導体素子2が、今までの実施例と同様に配線基板1の表面に実装されているだけでなく、その裏面にも形成されていることにあり、さらに、緩衝領域の溝が表面及び裏面の両面に形成されていることにある。配線基板1は、例えば、長方形であり、例えば、約1mmの厚さがある。半導体素子2の半田の突起電極などからなる接続電極22は、その配線基板1の表面及び裏面に形成されている配線層の回路パターン（図示せず）の上に載置され、半田付け等によってこれら配線層と接続されている。この実施例では、配線基板1の半導体素子2が搭載されている表面及び裏面に溝5が形成されている。図8に示すように表面及び裏面の両面に溝が形成されて緩衝領域が構成されているので、この緩衝領域における配線基板の薄肉部分53は、配線基板の厚み方向のほぼ中央に形成される。したがって、表面又は裏面のいずれかの面に溝が形成されているのとは異なり、外力や衝撃に対して上下いずれの方向にも変形することができる。

【0017】また、配線基板の両面に半導体素子が実装

されるので、本発明をメモリカードに適用した場合には、片面実装の場合に比べて約 2 倍に容量が増える。配線基板に半導体素子を実装してから表面を絶縁保護膜で覆ってメモリカードを完成させる。配線基板 1 の表面及び裏面の中央には、その向い合う長辺にほぼ平行な溝 5 1 がこの長辺に隣接する短辺にまで形成されている。同じ様に配線基板 1 の表面及び裏面の中央には、その向い合う短辺にほぼ平行な溝 5 2 がこの短辺に隣接する長辺にまで形成されている。この溝 5 が形成されている領域が緩衝領域として構成されている。配線基板 1 の両面に形成されている半導体素子 2 間は、配線基板 1 の中に形成されている、例えば、多層配線層を介在させて電氣的に接続している。この多層配線層は、前述の配線基板 1 表面及び裏面の配線層（図示せず）の回路パターンに電氣的に接続されている。

【0018】次に、図 9 を参照して本発明の半導体装置の製造方法を説明する。ガラス繊維にエポキシ樹脂を含浸させた絶縁基板 7、8 を複数枚用意する。絶縁基板 7 は全てほぼ同じ大きさであり、絶縁基板 8 は、それよりも小さい面積を有している。絶縁基板 8 は、表面に配線層を有しておらず、4 枚間隔において同一平面に配置する。絶縁基板 8 の間が将来配線基板が形成されたときの緩衝領域である配線基板の裏面に形成された溝になる。この絶縁基板 8 の上に面積の大きい絶縁基板 7 を積層する。最上層の絶縁基板（表面基板）7 1 の表面には配線層を形成する。中間の所定の絶縁基板 7 2 表面にはやはり配線層を形成しておく。前記積層された絶縁基板 7、8 を加熱圧着して一体化し、図 1 に示す様な配線基板 1 を形成する。この配線基板を形成するときに同時に配線基板 1 の裏面に緩衝領域となる溝 5 が形成される。前記表面基板 7 1 上の配線層と中間の所定の絶縁基板上の配線層との電氣的な接続を行う。配線基板 1 の表面に、緩衝領域を避けるように、突起電極を備えた複数の半導体素子を配線基板表面の配線層の回路パターンに接続する。この突起電極を前記配線基板に取り付けることによって、実装された半導体素子 2 間は電氣的に接続される。

【0019】本発明に用いられる突起電極は、前述の実施例では、半田突起電極を用いて説明したが、この他にも、例えば、樹脂球などの表面に白金などの金属導電膜を形成した電極など既存の材料を用いることができる。配線基板として用いられる材料は、エポキシ樹脂含浸したガラス繊維に限らず、アルミナなどのセラミック基板、その他の合成樹脂基板、さらにセラミック基板と合成樹脂基板とを合わせた構造のものなどが用いられる。

また、半導体素子が正方形の場合であってもこれらの半導体素子を配線基板に配置し、配線基板が変形し易い領域に緩衝領域を形成する。また、正方形の半導体素子と長方形の半導体素子を混在させて実装する場合も緩衝領域は、変形し易い領域を考慮して形成する。以上に述べた緩衝領域は、半導体素子間の配線密度を考慮しながら、各実施例を適宜組合わせることができる。

【0020】

【発明の効果】本発明は、以上の構成により、突起電極などの接続電極を有する複数の半導体素子を配線基板に実装してなる半導体装置において、外力や衝撃による予測できない変形を配線基板に設けた緩衝領域によって吸収し、半導体素子の破損や接続電極の接続不良を防止し、これにより、半導体装置の長期信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の半導体装置に用いる配線基板の平面図。

【図 2】図 1 の A-A' 線に沿う断面図。

【図 3】第 2 の実施例の半導体装置に用いる配線基板の平面図。

【図 4】図 3 の A-A' 線に沿う断面図。

【図 5】第 3 の実施例の半導体装置に用いる配線基板の平面図。

【図 6】図 5 の A-A' 線に沿う断面図。

【図 7】第 4 の実施例の半導体装置に用いる配線基板の平面図。

【図 8】図 7 の A-A' 線に沿う断面図。

【図 9】本発明の半導体装置の製造方法を説明する斜視図。

【図 10】従来の半導体装置に用いる配線基板の平面図。

【図 11】図 10 の A-A' 線に沿う断面図。

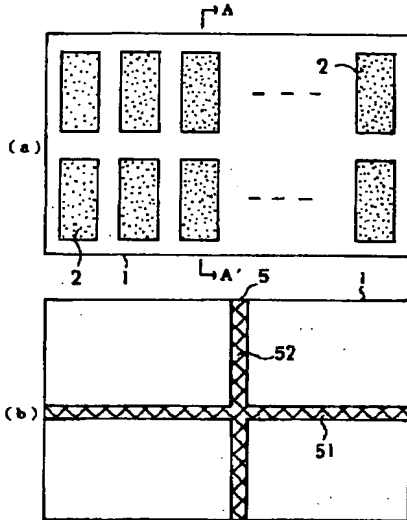
【図 12】従来の半導体装置に用いる配線基板の平面図。

【図 13】図 12 の A-A' 線に沿う断面図。

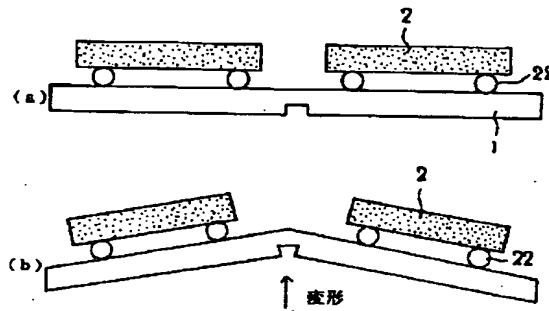
【符号の説明】

1	配線基板
2	半導体素子
4	配線層
5、5 1、5 2	溝（緩衝領域）
6、6 1、6 2	スリット（緩衝領域）
7、8、7 2	絶縁基板
2 2	突起電極
5 3	緩衝領域の薄い部分

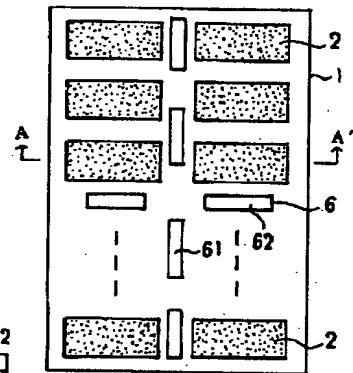
【図 1】



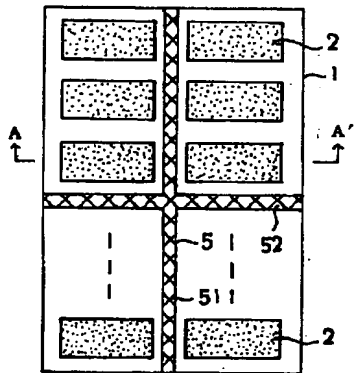
【図 2】



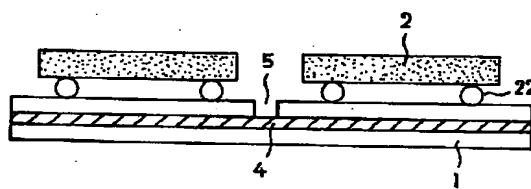
【図 5】



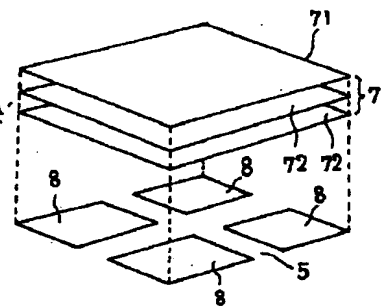
【図 3】



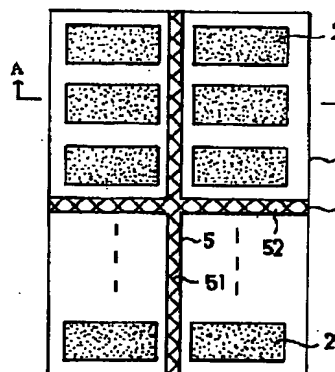
【図 4】



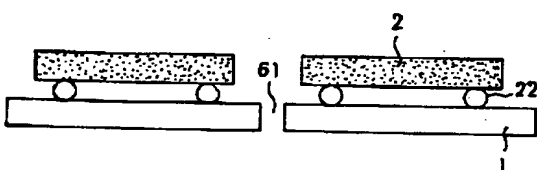
【図 9】



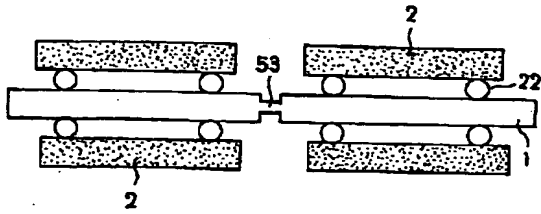
【図 7】



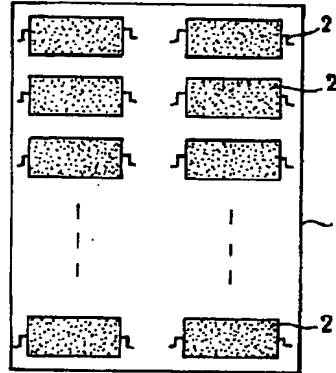
【図 6】



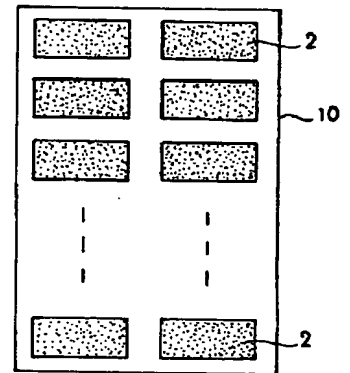
【図8】



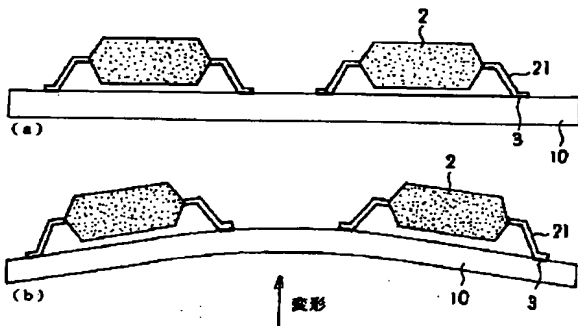
【図10】



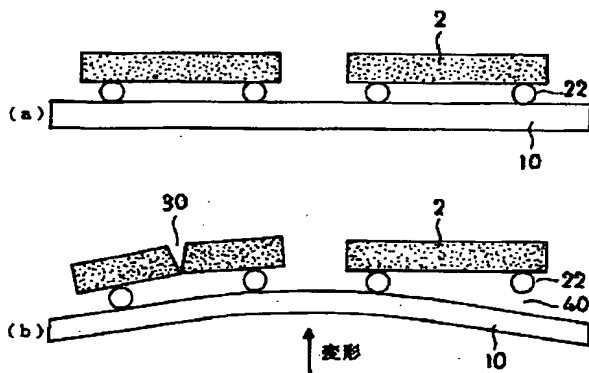
【図12】



【図11】



【図13】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 11 年 (1999) 11 月 5 日

【公開番号】特開平 7-115151

【公開日】平成 7 年 (1995) 5 月 2 日

【年通号数】公開特許公報 7-1152

【出願番号】特願平 5-280617

【国際特許分類第 6 版】

H01L 23/12

23/00

H05K 1/02

【F I】

H01L 23/12 F

23/00 C

H05K 1/02 D

【手続補正書】

【提出日】平成 10 年 12 月 14 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】配線基板と、接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電氣的に接続された複数の半導体素子とを備え、前記配線基板には緩衝領域が形成されていることを特徴とする半導体装置。

【請求項 2】前記緩衝領域は、変形を受け易い領域に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】前記緩衝領域は、前記配線基板の前記半導体素子間の非素子領域に形成されていることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】前記配線基板は、長方形であり、前記緩衝領域には、前記配線基板中央部分に長辺と平行に、向い合う短辺まで延在する 1 本の溝及びこの配線基板中央部分に短辺と平行に、向い合う長辺まで延在する少なくとも 1 本の溝が形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】前記半導体素子は前記配線基板の表面及び裏面の両面に取付けることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】複数の絶縁性の裏面基板を互いに離隔して同一平面に配置する工程と、

少なくとも 1 枚はその表面に配線層を備え、最上層には前記配線層が配置されるように、前記裏面基板より面積の大きい複数の絶縁基板をこの裏面基板上に積層する工

程と、

前記積層された絶縁基板と裏面基板とを加熱圧着して表面に配線層が形成された配線基板を形成すると共に、前記配線基板裏面に形成された前記互いに離隔された裏面基板間によって構成される溝を緩衝領域とする工程と、前記絶縁基板の配線層及び前記配線基板表面の配線層を互いに電氣的に接続する工程と、

接続電極を備えた複数の半導体素子を、この接続電極を前記配線基板に取付けることによって、前記配線基板の配線層に電氣的に接続する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 7】配線基板と、接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電氣的に接続された複数の半導体素子と、緩衝領域とを備え、前記緩衝領域には、前記配線基板中央部分に 1 辺と平行に、対向する辺まで延在する複数のストレスを緩和することができるスリットが形成されていることを特徴とする記載の半導体装置。

【請求項 8】配線基板と、接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電氣的に接続された複数の半導体素子と、緩衝領域とを備え、前記配線基板は、長方形であり、前記緩衝領域には、前記配線基板中央部分に長辺と平行に、向い合う短辺まで延在する第 1 のスリット列及びこの配線基板中央部分に短辺と平行に、向い合う長辺まで延在する第 2 のスリット列が形成されていることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【課題を解決するための手段】本発明は、突起電極を有する複数の半導体素子が実装される配線基板に、外力や衝撃による変形を吸収する緩衝領域を設けたことを特徴としている。即ち、本発明の半導体装置は、配線基板と、接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電気的に接続された複数の半導体素子とを備え、前記配線基板には緩衝領域が形成されていることを特徴としている。前記緩衝領域は、変形を受け易い領域に形成しても良い。前記緩衝領域は、前記配線基板の前記半導体素子間の非素子領域に形成しても良い。前記配線基板は長方形であり、前記緩衝領域には、前記配線基板中央部分に長辺と平行に、向い合う短辺まで延在する1本の溝及びこの配線基板中央部分に短辺と平行に、向い合う長辺まで延在する少なくとも1本の溝が形成されているようにしても良い。また、本発明の半

導体装置は、配線基板と、接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電気的に接続された複数の半導体素子と、緩衝領域とを備え、前記緩衝領域には、前記配線基板中央部分に1辺と平行に、対向する辺まで延在する複数のストレスを緩和することができるスリットが形成されていることを特徴としている。さらに、本発明の半導体装置は、配線基板と、接続電極を介して前記配線基板に取り付けられ、この配線基板の配線層に電気的に接続された複数の半導体素子と、緩衝領域とを備え、前記配線基板は、長方形であり、前記緩衝領域には、前記配線基板中央部分に長辺と平行に、向い合う短辺まで延在する第1のスリット列及びこの配線基板中央部分に短辺と平行に、向い合う長辺まで延在する第2のスリット列が形成されていることを特徴としている。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.